

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-1071

⑮ Int. Cl.⁴
H 01 L 29/78
27/12

識別記号
3 1 1

庁内整理番号
G-8422-5F
7514-5F

⑬ 公開 昭和63年(1988)1月6日

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 薄膜半導体装置

⑯ 特 願 昭61-143045

⑰ 出 願 昭61(1986)6月20日

⑱ 発 明 者 三 村 秋 男 茨城県日立市久慈町4026番地 株式会社日立製作所日立研
究所内
⑲ 発 明 者 小 西 信 武 茨城県日立市久慈町4026番地 株式会社日立製作所日立研
究所内
⑳ 発 明 者 細 川 義 和 茨城県日立市久慈町4026番地 株式会社日立製作所日立研
究所内
㉑ 発 明 者 鈴 木 隆 茨城県日立市久慈町4026番地 株式会社日立製作所日立研
究所内
㉒ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
㉓ 代 理 人 弁理士 小川 勝男 外2名

最終頁に続く

明 細 書

1. 発明の名称

薄膜半導体装置

2. 特許請求の範囲

1. 絶縁性基板上的の薄い半導体膜にMOSFETが形成された薄膜半導体装置において、ゲート絶縁膜が、ゲッタリング効果を有する絶縁膜を含む多層構造となつてゐることを特徴とする薄膜半導体装置。
2. 特許請求の範囲第1項において、半導体が非単結晶半導体であることを特徴とする薄膜半導体装置。
3. 特許請求の範囲第1項において、基板がガラス基板であることを特徴とする薄膜半導体装置。
4. 特許請求の範囲第1項において、ゲート絶縁膜が最下層は不純物をドーピングしない酸化膜、その上に積層される絶縁膜はゲッタ効果のある絶縁膜を含む絶縁膜で構成されることを特徴とする薄膜半導体装置。
5. 特許請求の範囲第1項において、ゲッタリン

グ効果を有する絶縁膜がリンガラスであることを特徴とする薄膜半導体装置。

6. 特許請求の範囲第1項において、少なくとも下地の絶縁膜が光陽起気相反応で形成されたものであることを特徴とする薄膜半導体装置。

3. 発明の詳細な説明

〔発明の利用分野〕

本発明は薄膜半導体装置に係り、特に安定性の高いMOSFETに関する。

〔発明の背景〕

大画面の液晶表示装置では、アクティブマトリクス方式が不可欠であり、多数の薄膜素子即ち、MOSFETを形成することが必要である。低価格で大画面を実現するには、ガラス板のような基板を使うことが必要であり、このためには、ガラスの室温以下(数百℃)で薄膜素子を形成することが不可欠となる。

また、半導体LSIにおいても、高集積化、多機能化という観点から、三次元構造が必要とされてきている。三次元素子においても、上層の素子

は下層の素子より低温で形成することが不可欠となる。

以上の様に、低温素子製造技術は今後のエレクトロニクスにおいて重要な課題である。

ところで、液晶アクティブマトリクス基板やLSIでは主としてFETが使われているが、低温で形成した場合、心臓部であるゲート絶縁膜に不安定さが残り、十分な信頼性が得られないという問題がある。

以下図に従って具体的に説明する。

第6図は従来の基本的なMOSFETの断面図を示す。ガラス基板1に多結晶シリコン2、ゲート絶縁膜3、多結晶シリコンゲート4、ソース5、ドレイン6、保護膜7、ソース電極8、ドレイン電極9が形成されている。

第7図において、基本的な製造法を説明する。

(a)において、ガラス基板1に、約600℃で多結晶シリコン2を形成し、島状に加工する。

(b)において、気相反応により SiO_2 のゲート絶縁膜3、多結晶シリコン4を、それぞれ

は通常の素子では問題となる。

この不安定性の主因はゲート絶縁膜との界面や絶縁膜自体の不安定性にあると考えられる。すなわち、 SiO_2 は良質の絶縁膜であり、高温熱酸化で形成された膜は高い安定性を示す。また、高温のプロセスを使用した場合、例えば第7図(a)でイオン注入したリンはすべて活性化し、また熱処理によつて拡散してゲート絶縁膜まで達し、ゲッタリング(浄化)作用を示す。これによつて、ナトリウム等の可動イオンはリンガラス(P_2O_5)のなかに取り込まれ固定化され、ゲート電圧が加わつても移動しなくなり、素子は安定となる。ところが、約600℃程度の低温でアニールした場合、少数のリンが活性化されるのみであり、また拡散もほとんど起らないため、ゲッタリング作用が発生しない。このため、単なる従来構造のままでは、安定な低温薄膜素子は得られないことになる。

(発明の目的)

本発明は、ゲート絶縁膜の構成を工夫すること

1000Å、3000Åの厚さに形成する。

(c)において、ゲートを加工し、リンイオンを約70KeVで $5 \times 10^{18} \text{cm}^{-2}$ の濃度でイオン注入して、600℃で約10時間熱アニールし、ソース5、ドレイン6を形成する。このとき多結晶シリコンゲート4にもリンが注入される。

(d)において、リンガラスの保護膜7を約5000Å形成後、コンタクト窓を開けてアルミニウム5000Åを蒸着して、ソース電極8とドレイン電極9を形成している。

第8図は典型的な低温薄膜MOSFETのゲート電圧とドレイン電流との関係を示す。特性曲線Aは素子形成直後にゲート電圧を負から正へ走査した特性を示し、Bはゲート電圧を正から負へ走査して測定後の特性を示す。すなわち、従来の低温薄膜MOSFETの特性上の問題点は安定性が悪く、オフ電流の増加、しきい値の増加、オン電流の低下等、特性の変動を示す点にある。逆に強制的に捕獲中心を形成し、電荷を蓄積させて利用する不揮発性メモリがある。しかしこの不安定性

により、安定な薄膜半導体装置を提供することを目的とする。

(発明の概要)

本発明では、ゲート絶縁膜をゲッタリング作用のある絶縁層を含むように構成することを特徴としている。

(発明の実施例)

第1図において、具体的な実施例を説明する。ガラス基板1に、多結晶シリコン2、ゲート絶縁膜3a、3b、3c、多結晶シリコンゲート4、ソース5、ドレイン6、保護膜7、ソース電極8、ドレイン電極9から構成されている。特徴はゲート絶縁膜が3層で構成されていることであり、具体的には、従来製法の薄い SiO_2 3a、濃度の高い薄いリンガラス3b、従来製法の厚い SiO_2 3cで構成されている。ゲート絶縁膜3aは、清浄な界面を得るため、例えば薄い熱酸化膜か、光化学気相反応によるドーブされない SiO_2 からなる。厚さは50Å~500Åとする。ゲート絶縁膜3bは本発明の特徴を示し、ゲッタリング効

果のあるリンガラスから成る。リンの濃度は5～30mol%で、厚さは10～500Åで気相法又は熱反応法で形成してある。ゲート絶縁膜3aは、ゲート耐圧を向上させるため、従来の気相法で、厚さ100～2000Å形成する。

次に第2図において、具体的な実施例を示す。

(a)において、ガラス基板1に、気相法で多結晶シリコン2を形成する。温度は600℃で、厚さは500～5000Åとする。形成後加工して島状とする。

(b)において、本発明の特徴であるゲート絶縁膜を形成する。まず、熱酸化により、水蒸気中600℃で約30時間加熱して約300ÅのSiO₂膜を形成し、ゲート絶縁膜3aとする。熱酸化法では、低温では厚い膜を形成することは困難で、この膜だけで1000Å程度のゲート絶縁膜を形成するのは非現実的である。ただし、第1層目の薄い酸化膜として清浄な界面を持つように形成することは可能であり、本発明の目的には十分である。この第1層目の厚さは、次に形成するリング

ガラスのゲッタリング効果が及ぶ厚さであること、すなわち約500Å以下とすること、又リンガラスに含まれるリンが、多結晶シリコン2に到達しないように阻止できる厚さ、すなわち約50Å以上であることが必要である。第2層のリンガラスは、低温でもリングゲッタリング効果があるように、比較的高濃度であることが必要であり、5～30mol%が必要である。形成法として、約600℃で、気相法によりモノシラン(SiH₄)とフオスフィン(PH₃)を酸素と反応させて形成する方法、又はオキシ塩化リン(POCl₃)を酸素中で熱反応させる方法が可能である。これらの方法で厚さ10～500Åとする。リンガラスは、湿式法では比較的エッチングが速く、後の工程でオーバーハング状になる場合があり、厚さはゲッタリング効果のある最少限の厚さとすることが必要である。ドライ加工する場合はこれらの限定は緩和される。次に第3層目のゲート絶縁膜3cを形成する。第1層及び第2層は本発明を達成するための特徴ある膜であるが、厚さは限定され、薄

く形成される。したがって、ゲート耐圧を上げるには、第3層のゲート絶縁膜3cを厚く形成する。この膜は通常の気相法で約500～2000Åとする。通常約1000Åで十分である。この3層ゲート絶縁膜3a、3b、3cを形成後、ゲッタリング効果を十分にするために、60℃で約20時間アニールする。

以下の(c)、(d)の工程は、従来技術と同じに処理することができる。ただし、(b)におけるゲート絶縁膜3a、3b、3cのアニーリングは(c)におけるソース5、ドレイン6の活性化アニーリングでも代用できる。

第3図は本発明を実施した低温形成MOSFETのゲート電圧とドレイン電流との関係を示す。特性は安定しており、第8図と同じくゲート電圧の走査方向、ABで差はほとんどなくなる。また、界面、膜の清浄・安定化により、オフ電流の低減、しきい値電圧の低減も達成される。

次に本発明の応用例を示す。

第4図は、ゲート酸化膜として、熱酸化膜3a、

リンガラス3b、そして比較的低濃度の低い(4mol%)リンガラス3dを使った例である。この例では、比較的低濃度の低いリンガラス3dを使うことにより、高いゲート耐圧を得るための最も厚い第3層の安定性も改善できる。

第5図は、ゲート酸化膜として、熱酸化膜3a、リンガラス3b、酸化膜3cと積層し、さらに、第3層の酸化膜3cをゲッタリングするため、第4層目のリンガラス3bを追加したことを特徴とする。

また本発明では、第1層目の酸化膜形成に、熱酸化法あるいは通常の気相成長法について例示したが、光励起法による気相反応法あるいは光励起法にオゾンを用いた方法で形成した絶縁膜、酸素や窒素のイオン注入法で形成した絶縁膜も利用でき、同様な効果を得られる。

また本発明では3～4層のゲート絶縁膜について述べたが2層あるいは同一反応法での連続多層膜等任意の組合せは可能である。またゲッタ作用のある膜としてリンガラスについて述べたが、リ

ンとボロンの混合ガラス膜など、他のゲッタ作用を持つ膜も利用でき、同様な効果を得られる。またゲッタ層の形成には、リンなどのイオン注入法も応用できる。

また、本発明はMOSFETについてのみ例示したが、バイポーラ素子等の低温表面安定法としても応用できる。

また本発明ではガラス基板上のMOSFETについてのみ例示したが、石英板、半導体基板上の絶縁膜上に形成した場合にも応用できる。

また、本発明は、アモルファスなどの他の非単結晶半導体を用いたMOSFETにも応用できる。

(発明の効果)

本発明によれば、ゲッタリング効果を利用することができ、MOSFET等の薄膜半導体装置の特性の安定化、改善を達成することができる。

4. 図面の簡単な説明

第1図は本発明によるMOSFET断面図、第2図は本発明の工程を説明するためのMOSFET断面図、第3図は本発明によるMOSFETのゲート

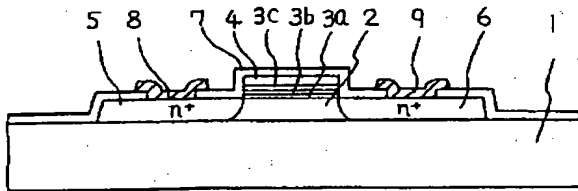
電圧とドレイン電流との関係図、第4図及び第5図は本発明の応用例を示すためのMOSFET断面図を示す。第6図は従来技術を説明するためのMOSFET断面図、第7図は従来技術の工程を説明するためのMOSFET断面図、第8図は従来技術によるMOSFETのゲート電圧とドレイン電流との関係図を示す。

1…ガラス基板、2…多結晶シリコン、3、3a、3b、3c、3d…ゲート絶縁膜、4…多結晶シリコンゲート、5…ソース、6…ドレイン、7…保護膜、8…ソース電極、9…ドレイン電極。

代理人 井理士 小川勝男

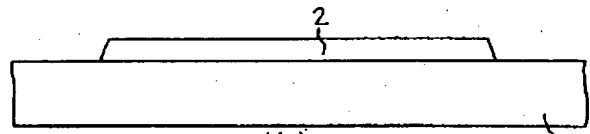


第1図

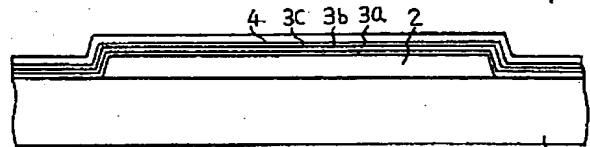


第2図

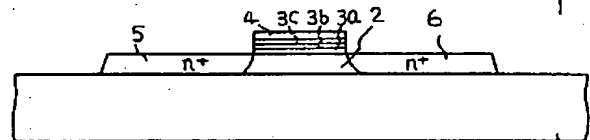
(a)



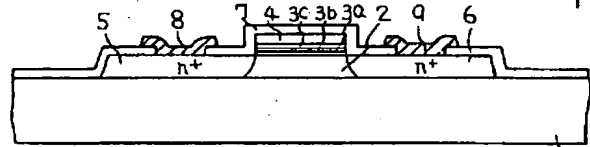
(b)



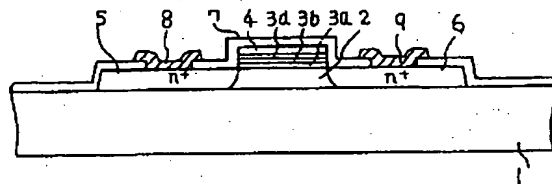
(c)



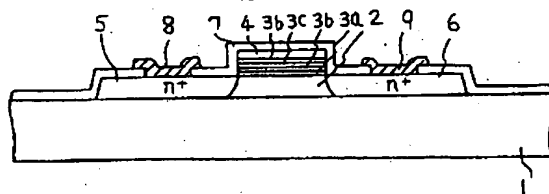
(d)



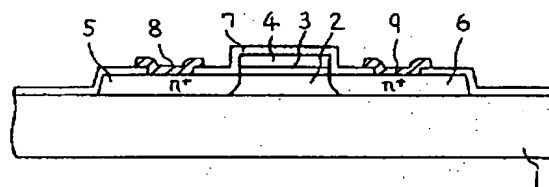
第4図



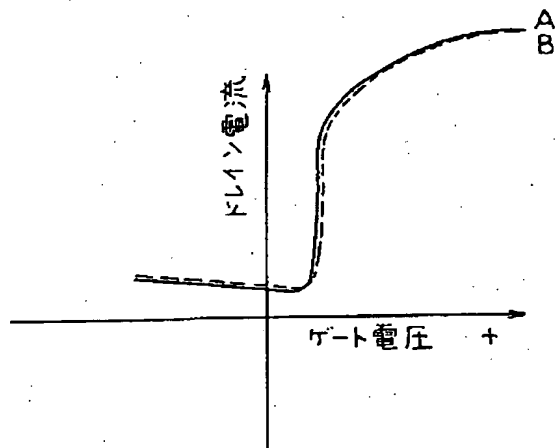
第5図



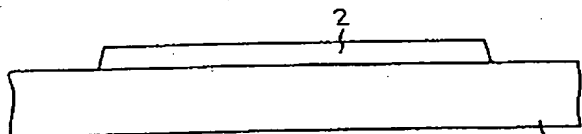
第6図



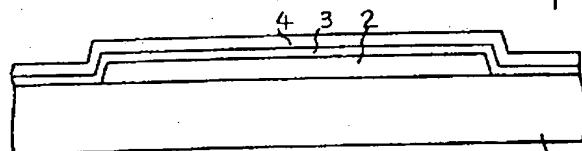
第3図



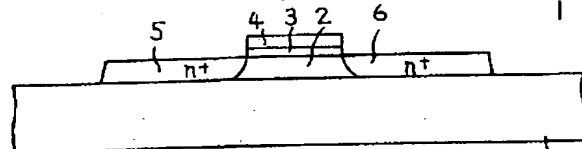
第7図
(a)



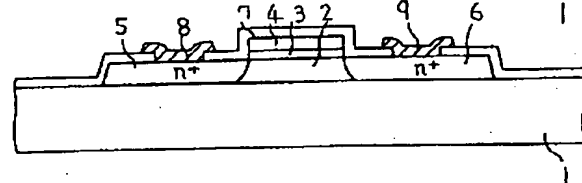
(b)



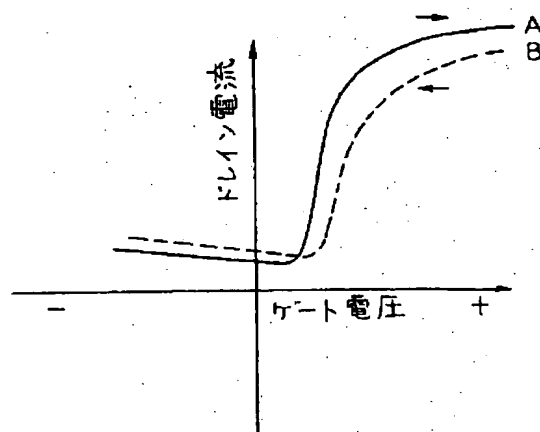
(c)



(d)



第8図



第1頁の続き

⑦発明者 鈴木 誉也 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑧発明者 宮田 健治 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-001071

(43)Date of publication of application : 06.01.1988

(51)Int.Cl.

H01L 29/78

H01L 27/12

(21)Application number : 61-143045

(71)Applicant : HITACHI LTD

(22)Date of filing : 20.06.1986

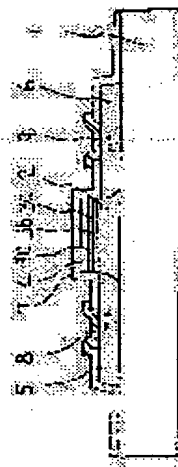
(72)Inventor : MIMURA AKIO
 KONISHI NOBUTAKE
 HOSOKAWA YOSHIKAZU
 SUZUKI TAKASHI
 SUZUKI TAKAYA
 MIYATA KENJI

(54) THIN-FILM SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To obtain a stable thin-film semiconductor device by constituting a gate insulating film so as to contain an insulating film having gettering action.

CONSTITUTION: Polycrystalline Si 2, gate insulating films 3a~ 3c, a polycrystalline Si gate 4, a source 5, a drain 6, a protective film 7, a source electrode 8 and a drain electrode 9 are formed onto a glass substrate 1. A gate insulating afilm 3 consists of thin SiO₂ 3a, thin phosphorus glass 3b having high concentration and thick SiO₂ 3c. The gate insulating film 3b is composed of phosphorus glass having a gettering effect, the concentration of phosphorus extends over 5~ 30mol%, and the gate insulating film 3b is shaped in thickness of 10~ 500 μ m; through a vapor phase method or a thermal reaction method. The film 3a is made up of a thin thermal oxide film or SiO₂ by a photochemical vapor phase reaction in order to acquire a clean interface, and thickness thereof ranges 50~ 500 μ m;. The film 3c is formed in thickness of 100~ 2000 μ m; through the vapor phase method in order to increase gate withstanding voltage.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision for rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office